

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-187223

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

H04N 1/19  
H04N 1/40  
H04N 5/335  
// H05K 9/00

(21)Application number : 09-350543

(71)Applicant : RICOH CO LTD

(22)Date of filing : 19.12.1997

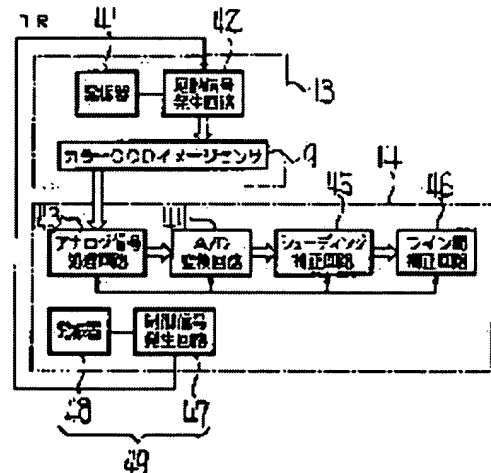
(72)Inventor : WADA SHINICHIRO  
NAGASE MASASHIRO

(54) IMAGE READER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce electromagnetic wave noise due to the drive signal of an image sensor.

SOLUTION: A color CCD image sensor 9 which reads an original and a drive signal generation circuit 42 which generates a drive signal that drives the sensor 9 are mounted on a sensor circuit board 13. An analog signal processing circuit 43 which sample an image signal that is outputted by the sensor 9 and converts it into a digital signal and an A/D conversion circuit 44 and a control circuit 49 which outputs a control signal to the circuit, controls it, also generated a trigger signal TR to synchronize it with the circuit 42 and outputs it to the circuit 42 are mounted on a signal processing circuit board 14. Both circuits 13 and 14 are electrically connected through a signal cable.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The picture reader characterized by providing the following. Image sensors which read a manuscript. The driving-signal generating circuit which generates the driving signal which drives these image sensors, The sensor circuit board in which the aforementioned image sensors and the driving-signal generating circuit are mounted, The digital disposal circuit which samples the picture signal which the aforementioned image sensors output, and is changed into a digital signal, The control circuit which generates the trigger signal for outputting and controlling a control signal to this digital disposal circuit, and taking the synchronization with the aforementioned driving-signal generating circuit, and is outputted to the aforementioned driving-signal generating circuit, The signal cable which connects both the aforementioned circuit boards with the digital-disposal-circuit substrate in which the aforementioned digital disposal circuit and the control circuit are mounted electrically.

[Claim 2] A control circuit is a picture reader according to claim 1 characterized by being what generates one clock signal for taking the synchronization with a driving-signal generating circuit in addition to a trigger signal, and outputted to the aforementioned sensor circuit board.

[Claim 3] The picture reader according to claim 2 characterized by having generated the signal for taking the driving-signal generating circuit and synchronization which followed the phase of the clock signal outputted from the control circuit in the sensor circuit board, and equipping it with the PLL circuit outputted to a driving-signal generating circuit.

[Claim 4] A PLL circuit is a picture reader according to claim 3 characterized by having the multiplication circuit which generates the signal for taking a driving-signal generating circuit and a synchronization as a signal of frequency higher than the clock signal outputted from the control circuit.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the picture reader which reads a manuscript by image sensors.

[0002]

[Description of the Prior Art] By separating and transmitting the driving signal which drives image sensors, and the picture signal after the A/D conversion which image sensors output to JP,2-226955,A in a picture reader, the cross talk between signals is removed and the technology in which it prevents quality-of-image degradation is indicated.

[0003]

[Problem(s) to be Solved by the Invention] However, in the conventional picture reader, since CCD of image sensors was driven, and the clock signal was required also for many, the fault that an electromagnetic wave noise arose suited.

[0004] The purpose of this invention is to reduce the electromagnetic wave noise by the driving signal of image sensors.

[0005] Another purpose of this invention is to enable it to take certainly the synchronization of the circuit which generates the driving signal of image sensors in the aforementioned case, and the circuit which processes the picture signal which image sensors output.

[0006]

[Means for Solving the Problem] The image sensors in which invention according to claim 1 reads a manuscript, and the driving-signal generating circuit which generates the driving signal which drives these image sensors, The sensor circuit board in which the aforementioned image sensors and the driving-signal generating circuit are mounted, The digital disposal circuit which samples the picture signal which the aforementioned image sensors output, and is changed into a digital signal, The control circuit which generates the trigger signal for outputting and controlling a control signal to this digital disposal circuit, and taking the synchronization with the aforementioned driving-signal generating circuit, and is outputted to the aforementioned driving-signal generating circuit, It has the digital-disposal-circuit substrate in which the aforementioned digital disposal circuit and the control circuit are mounted, and the signal cable which connects both the aforementioned circuit boards electrically.

[0007] Therefore, let the signal outputted to the sensor circuit board from a digital-disposal-circuit substrate be only a trigger signal.

[0008] In addition to a trigger signal, invention according to claim 2 generates one clock signal for taking the synchronization with a driving-signal generating circuit, and outputs a control circuit to the aforementioned sensor circuit board.

[0009] therefore, a trigger signal -- in addition, even if the number of pixels of one line of image sensors increases by sending one clock signal for taking the synchronization with a driving-signal generating circuit to the sensor circuit board or frequency becomes high, it can prevent certainly that a phase shift arises from the sensor circuit board in the picture signal sent to a digital-disposal-circuit substrate, and

the sampling period of a digital-disposal-circuit substrate

[0010] Invention according to claim 3 generates the signal for taking the driving-signal generating circuit and synchronization which followed the phase of the clock signal outputted from the control circuit to the sensor circuit board, and presupposes at it that it has the PLL circuit outputted to a driving-signal generating circuit.

[0011] Therefore, even if the number of pixels of one line of image sensors increases by generating the signal which followed the phase of one clock signal, and outputting to a driving-signal generating circuit or frequency becomes high, it can prevent certainly that a phase shifts from the sensor circuit board in the picture signal sent to a digital-disposal-circuit substrate, and the sampling period of a digital-disposal-circuit substrate.

[0012] Invention according to claim 4 is equipped with the multiplication circuit which generates the signal for a PLL circuit taking a driving-signal generating circuit and a synchronization as a signal of frequency higher than the clock signal outputted from the control circuit.

[0013] Therefore, one clock signal is sent to the sensor circuit board on comparatively low frequency from a digital-disposal-circuit substrate, and it becomes possible in the sensor circuit board to generate the signal for taking a driving-signal generating circuit and a synchronization on high frequency.

[0014]

[Embodiments of the Invention] [Form of implementation of the 1st of invention] Drawing 1 is drawing of longitudinal section showing the whole color picture reader 1 structure concerning the form of implementation of the 1st of this invention. As shown in this drawing, this color picture reader 1 The contact glass 2 which lays Manuscript G, and for exposure of Manuscript G, halogen lamp 3 The 1st carriage 5 which reaches and consists of the 1st reflective mirror 4, 2nd reflective mirror 6 The 2nd carriage 8 which reaches and consists of the 3rd reflective mirror 7, It has the white orientation plate 12 of an amendment sake for various kinds of distortion of the reading picture by the lens unit 11, these reading optical system, etc. for carrying out image formation of the picture of Manuscript G to 3 line type color CCD series 9. In the case of the scan of Manuscript G, the 1st and the 2nd carriage 5 and 8 move in the direction of vertical scanning (arrow 16 direction) with the stepping motor which is not illustrated. The circuit mentioned later besides color CCD series 9 is established in the sensor circuit board 13. Moreover, various kinds of digital disposal circuits mentioned later are prepared in the digital-disposal-circuit substrate 14. And the sensor circuit board 13 and the digital-disposal-circuit substrate 14 are connected by the signal cable 15.

[0015] Drawing 2 is the plan of color CCD series. As shown in this drawing, this three-line type color CCD series is what put in order reduced type CCD which coated the filter of each color of the decomposition colors R (red), G (green), and B (blue), the pixel position of main scanning direction has gathered and the linear image sensors 21 dealing with R, the linear image sensors 22 dealing with G, and the linear image sensors 23 dealing with B serve as fixed interval gap \*\*\*\*\* in the direction 16 of vertical scanning. Therefore, since a delay time is produced in the direction 16 of vertical scanning between the picture signals of R and G which are outputted from the linear image sensors 21, 22, and 23, and B each color, the amendment is needed (about this amendment, it mentions later).

[0016] Drawing 3 is the circuit diagram of the picture signal sending-out circuits 24, 25, and 26 which send out the picture signal of color CCD series. These picture signal sending-out circuits 24, 25, and 26 correspond to the linear image sensors 21, 22, and 23 respectively. Respectively, the picture signal sending-out circuits 24, 25, and 26 were divided into the even-numbered pixel and the odd-numbered pixel, and are equipped with the registers 31 and 32 of two trains. These registers 31 and 32 are driven synchronizing with the driving pulse mentioned later, and output respectively picture signals VRE, VRO, VGE, VGO, VBE, and VBO independently through output buffers 33 and 34.

[0017] Drawing 4 is a timing chart which shows the various timing signals for driving color CCD series. As shown in this drawing, generally this timing signal consists of the shift signal SH for transporting a picture signal to each registers 31 and 32 from the linear image sensors 21, 22, and 23, transfer clock signals phi1 and phi2 for carrying out the charge transfer of the inside of a register 31 and 32, a reset-signal RS for resetting output buffers 33 and 34, and a clamp signal CLP for clamping the electric black

level immediately after this reset. Carrying out period light-receiving of the linear image sensors 21, 22, and 23 from the shift signal SH to the following shift signal SH is continued (this time is called storage time). It is required to make the transfer clock signals  $\phi 1$  and  $\phi 2$  into the frequency which can transmit all pixels by each of the linear image sensors 21, 22, and 23 in this storage time, and for the shift signal SH not to have change of a signal during a certain period actively. In addition, the picture signal Vo in drawing 4 shows picture signals VRE, VRO, VGE, VGO, VBE, or VBO, and is illustrating each period of the signal output for the empty transfer, optical black, a dummy, an effective photo cell, and 1 pixel.

[0018] Drawing 5 is the circuit diagram of the circuit currently formed in the sensor circuit board 13 and the digital-disposal-circuit substrate 14. As shown in this drawing, on the sensor circuit board 13, VCO 41 which generates a basic clock signal, and the driving-signal generating circuit 42 are formed, and VCO 41 generates a basic clock signal and outputs it to the driving-signal generating circuit 42. The driving-signal generating circuit 42 generates various kinds of timing signals shown in drawing 4 from the basic clock signal from VCO 41, and outputs them to color CCD series. Although Manuscript G is illuminated with the halogen lamp 3 and reduction image formation of the reflected light is carried out to color CCD series through the 1st carriage 5, the 2nd carriage 8, and the lens unit 11, this image formation light is read for every line by the color CCD series driven by various kinds of timing signals shown in drawing 4. And color CCD series transmits this read picture signal to the digital-disposal-circuit substrate 14 through a signal cable 15 synchronizing with the aforementioned timing pulse.

[0019] The control circuit 49 which consists of the analog signal processing circuit 43, the A/D-conversion circuit 44, the shading compensation circuit 45, the line amendment circuit 46, a control signal generating circuit 47, and a transmitter 48 is formed in the digital-disposal-circuit substrate 14. Since the picture signal outputted from color CCD series is an analog signal, it is inputted into the analog signal processing circuit 43. Here, by sampling the picture signal of this analog by the sample pulse, and holding it by the sample and hold circuit, it is made the continuous analog signal, and a black level amendment circuit amends the variation in the level of the dark output of color CCD series, and it changes into the picture signal on the basis of black level. Moreover, AGC (Auto Gain Control) of an amendment sake is made in the real quantity of light it is decided by the relation between the sensitivity of color CCD series, and the illuminance of the manuscript side of Manuscript G that a picture signal will be. The picture signal of the analog outputted from the control signal processing circuit 47 is changed into a digital signal by the A/D-conversion circuit 44. This analog signal processing circuit 43 and the A/D-conversion circuit 44 have realized the digital disposal circuit of this invention.

[0020] The picture signal after A/D conversion is inputted into the shading compensation circuit 45. By reading the reflected light of the white orientation plate 12 irradiated with the halogen lamp 3 with color CCD series, this shading compensation circuit 45 obtains predetermined concentration level, amends the luminous-intensity-distribution nonuniformity of the variation in the sensitivity of color CCD series 9, or illuminating system about digital image data, and outputs it to the line amendment circuit 46. The line amendment circuit 46 amends the delay time produced between the lines of the linear image sensors 21, 22, and 23 of the above directions 16 of vertical scanning about the inputted digital image signal, and outputs it as a picture signal read in the same position.

[0021] The control signal generating circuit 47 generates various control signals and a timing signal, and outputs them to the analog signal processing circuit 43, the A/D-conversion circuit 44, the shading compensation circuit 45, and the line amendment circuit 46. Moreover, the trigger signal TR for taking the synchronization the driving-signal generating circuit 42 and by the side of the digital-disposal-circuit substrate 14 is generated, and it outputs to the sensor circuit board 13 through a signal cable 15. And the driving-signal generating circuit 42 takes a synchronization by the trigger signal TR, and outputs the picture signal read with color CCD series 9 to the digital-disposal-circuit substrate 14 through a signal cable 15.

[0022] Therefore, since the signal outputted to the sensor circuit board 13 from the digital-disposal-circuit substrate 14 can be made only into a trigger signal TR, the noise generated from the signal cable 15 which connects both the circuit boards 13 and 14 is mitigated, and curtailment of the number of a

signal cable 15 is aimed at, and the layout and equipment configuration of both the circuit boards 13 and 14 become easy.

[0023] [Form of implementation of the 2nd of invention] Drawing 6 is the circuit diagram of the sensor circuit board 13 of the color picture reader 1 concerning the form of implementation of the 2nd of this invention, and the digital-disposal-circuit substrate 14. It is restricted to a part of circuitry on the sensor circuit board 13 shown in drawing 6 that the color picture reader 1 of the form of this operation is different from the form of implementation of the above 1st, since it is common about the other technical contents, the same sign shows and detailed explanation is omitted.

[0024] As shown in drawing 6, with the form of this operation, dividing of the basic clock signal which VCO 48 mounted in the digital-disposal-circuit substrate 14 generates is carried out with a counting-down circuit 56, a clock signal CLK is generated, and this clock signal CLK is outputted to the sensor circuit board 13.

[0025] And with the form of this operation, VCO 41 is not mounted in the sensor circuit board 13. Instead, the PLL circuit 55 which consists of a phase comparator 51, a low pass filter 52, a voltage controlled oscillator 53, and a programmable counter 54 is mounted. A programmable counter 54 outputs the signal which carried out dividing of the inputted digital signal to  $1/N$ . The frequency  $f_r$  of the clock signal CLK outputted from the digital-disposal-circuit substrate 14 and the frequency  $f_n$  of the signal outputted from the programmable counter 54 are compared with a phase comparator 51. And after the dc output of a phase comparator 51 is removed in a low frequency component by the low pass filter 52, it is inputted into a voltage controlled oscillator 53, and outputs the signal of the oscillation frequency according to this input to the driving-signal generating circuit 42 and a programmable counter 54. It will become " $f_o = f_r \times N$ " if frequency of this output signal is set to  $f_o$ . That is, the signal which synchronized with the clock signal N times the frequency of CLK is inputted into the driving-signal generating circuit 42 (this has realized the multiplication circuit of this invention), and the driving-signal generating circuit 42 generates the various driving signals of color CCD series 9 based on this input signal.

[0026] Therefore, in addition to a trigger signal TR, send one clock signal CLK for taking the synchronization with the driving-signal generating circuit 42 to the sensor circuit board 13, and the signal which followed the phase of this clock signal CLK is generated in the PLL circuit 55. Even if the number of pixels of one line of color CCD series 9 increases by outputting to the driving-signal generating circuit 42 or frequency becomes high It can prevent certainly that a phase shifts from the sensor circuit board 13 in the picture signal sent to the digital-disposal-circuit substrate 14, and the sampling period of the digital-disposal-circuit substrate 14.

[0027] From the digital-disposal-circuit substrate 14, a clock signal CLK is made into comparatively low frequency with a counting-down circuit 56, and it sends to the sensor circuit board 13. moreover, moreover, the output signal from a voltage controlled oscillator 53 By realizing a multiplication circuit in the PLL circuit 55 by feeding back to a phase comparator 51, after carrying out dividing by the programmable counter 54, in the sensor circuit board 13 Since it becomes possible to generate the signal for taking the driving-signal generating circuit 42 and a synchronization as comparatively high frequency  $f_o$ , the noise generated from a signal cable 15 can be reduced further.

[0028] In addition, needless to say, the form of each aforementioned implementation does not limit this invention. For example, in the aforementioned example, although Manuscript G is read by color image sensors (color CCD series 9), you may apply this invention to the picture reader using the image sensors of one line of monochrome.

[0029]

[Effect of the Invention] Since the signal which outputs invention according to claim 1 to the sensor circuit board from a digital-disposal-circuit substrate can be made only into a trigger signal, the noise generated from the signal cable which connects both the circuit boards is mitigated, and curtailment of the number of a signal cable is aimed at, and the layout and equipment configuration of both the circuit boards become easy.

[0030] Invention according to claim 2 can prevent certainly that a phase shift arises from the sensor

circuit board in the picture signal sent to a digital-disposal-circuit substrate, and the sampling period of a digital-disposal-circuit substrate, even if the number of pixels of one line of image sensors increases by sending one clock signal for taking the synchronization with a driving-signal generating circuit about invention according to claim 1 in addition to a trigger signal to the sensor circuit board or frequency becomes high.

[0031] Invention according to claim 3 can prevent certainly that a phase shift arises from the sensor circuit board in the picture signal sent to a digital-disposal-circuit substrate, and the sampling period of a digital-disposal-circuit substrate, even if the number of pixels of one line of image sensors increases by generating the signal which followed the phase of one clock signal, and outputting to a driving-signal generating circuit about invention according to claim 2 or frequency becomes high.

[0032] Since invention according to claim 4 becomes possible [ generating the signal for sending one clock signal to the sensor circuit board on comparatively low frequency from a digital-disposal-circuit substrate, and taking a driving-signal generating circuit and a synchronization by the sensor circuit board about invention according to claim 3, on high frequency ], it can reduce further the noise generated from the signal cable which connects both the circuit boards.

---

[Translation done.]



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing of longitudinal section showing the whole color picture reader structure concerning the gestalt of implementation of the 1st of this invention.

[Drawing 2] It is the plan of the color CCD series of the aforementioned picture reader.

[Drawing 3] It is the circuit diagram of the picture signal sending-out circuit which sends out the picture signal of the aforementioned color CCD series.

[Drawing 4] It is the timing chart which shows the various timing signals for driving the aforementioned color CCD series.

[Drawing 5] It is the circuit diagram of the circuit currently formed in the sensor circuit board and the digital-disposal-circuit substrate.

[Drawing 6] It is the circuit diagram of the circuit currently formed in the sensor circuit board of the color picture reader concerning the gestalt of implementation of the 2nd of this invention, and the digital-disposal-circuit substrate.

[Description of Notations]

1 Picture Reader

9 Image Sensors

13 Sensor Circuit Board

14 Digital-Disposal-Circuit Substrate

42 Driving-Signal Generating Circuit

43 Digital Disposal Circuit

44 Digital Disposal Circuit

49 Control Circuit

54 Multiplication Circuit

55 PLL Circuit

G Manuscript

TR Trigger signal

CLK Clock signal

---

[Translation done.]

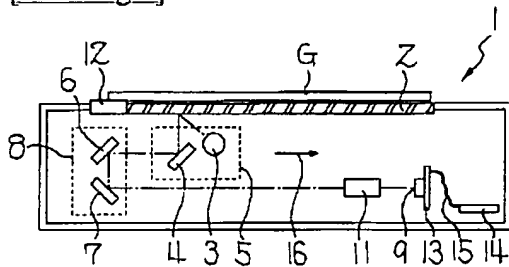
\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

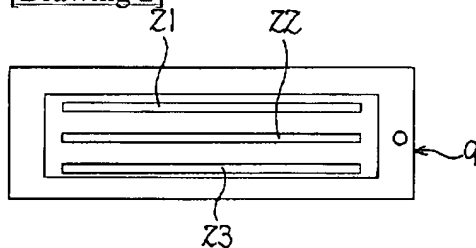
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

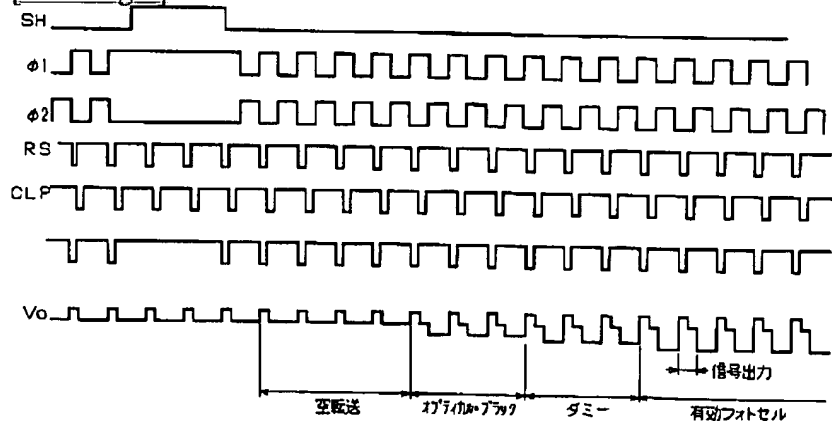
[Drawing 1]



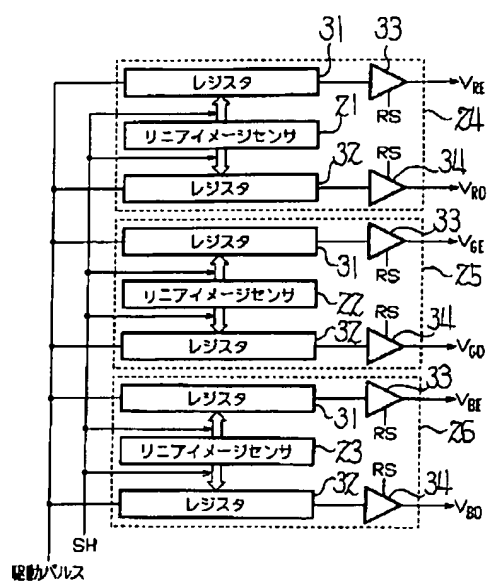
[Drawing 2]



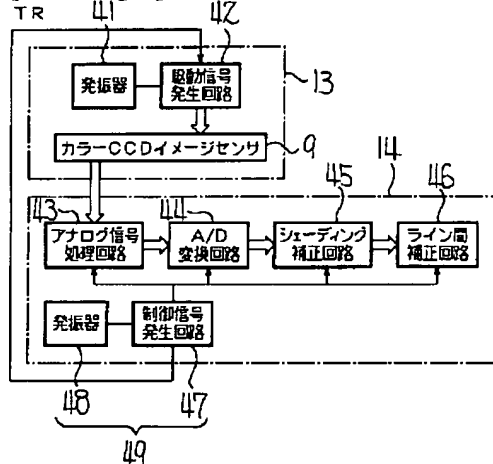
[Drawing 4]



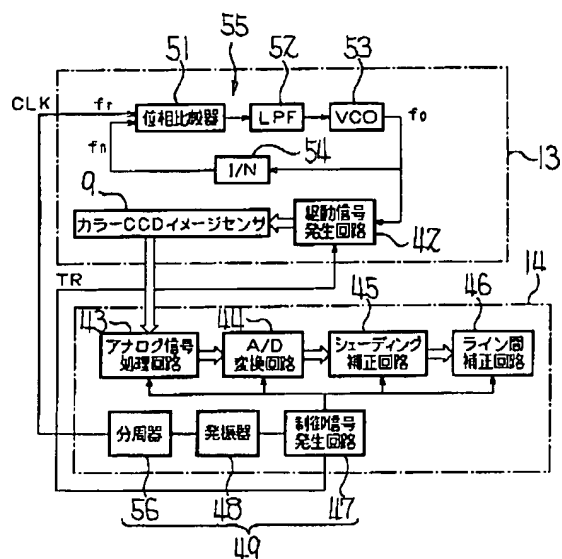
[Drawing 3]



[Drawing 5]



[Drawing 6]



---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-187223

(43)公開日 平成11年(1999) 7月9日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 N 1/19

H 0 4 N 1/04

1 0 3 E

1/40

5/335

P

5/335

H 0 5 K 9/00

K

// H 0 5 K 9/00

H 0 4 N 1/40

Z

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号

特願平9-350543

(22)出願日

平成9年(1997)12月19日

(71)出願人 000008747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 和田 真一郎

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72)発明者 長瀬 将城

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

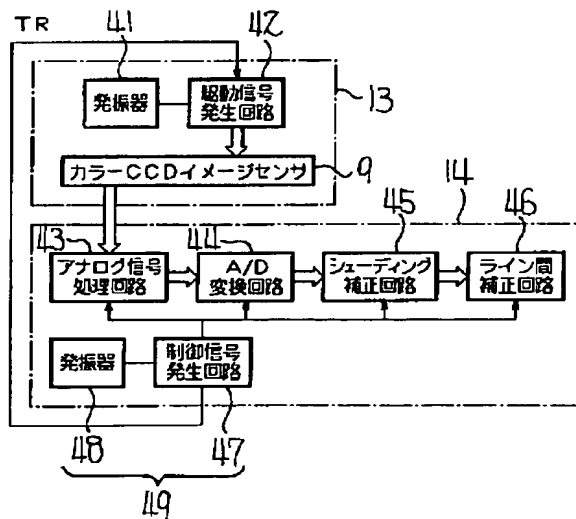
(74)代理人 弁理士 柏木 明 (外1名)

(54)【発明の名称】 画像読取装置

(57)【要約】

【課題】 イメージセンサの駆動信号による電磁波ノイズを低減する。

【解決手段】 原稿を読み取るカラーCCDイメージセンサ9と、このカラーCCDイメージセンサ9を駆動する駆動信号を生成する駆動信号発生回路42とは、センサー回路基板13に実装されている。カラーCCDイメージセンサ9が出力する画像信号をサンプリングしてデジタル信号に変換するアナログ信号処理回路43およびA/D変換回路44と、この回路に制御信号を出力して制御し、かつ、駆動信号発生回路42との同期をとるためのトリガ信号TRを生成して駆動信号発生回路42に出力する制御回路49とは、信号処理回路基板14に実装されている。そして、信号ケーブルにより、両回路基板13、14は電氣的に接続されている。



## 【特許請求の範囲】

【請求項1】 原稿を読み取るイメージセンサと、このイメージセンサを駆動する駆動信号を生成する駆動信号発生回路と、前記イメージセンサおよび駆動信号発生回路が実装されているセンサー回路基板と、前記イメージセンサが出力する画像信号をサンプリングしてデジタル信号に変換する信号処理回路と、この信号処理回路に制御信号を出力して制御し、かつ、前記駆動信号発生回路との同期をとるためのトリガ信号を生成して前記駆動信号発生回路に出力する制御回路と、前記信号処理回路および制御回路が実装されている信号処理回路基板と、前記両回路基板を電気的に接続する信号ケーブルと、を備えていることを特徴とする画像読取装置。

【請求項2】 制御回路は、トリガ信号に加えて、駆動信号発生回路との同期をとるためのクロック信号を1本生成して前記センサー回路基板に出力するものであることを特徴とする請求項1に記載の画像読取装置。

【請求項3】 センサ回路基板には、制御回路から出力されたクロック信号の位相に追従した駆動信号発生回路と同期をとるための信号を生成して、駆動信号発生回路に出力するPLL回路を備えていることを特徴とする請求項2に記載の画像読取装置。

【請求項4】 PLL回路は、駆動信号発生回路と同期をとるための信号を制御回路から出力されたクロック信号より高い周波数の信号として生成する通倍回路を備えていることを特徴とする請求項3に記載の画像読取装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、イメージセンサで原稿を読み取る画像読取装置に関する。

## 【0002】

【従来の技術】特開平2-226955号公報には、画像読取装置において、イメージセンサを駆動する駆動信号と、イメージセンサの出力するA/D変換後の画像信号とを分離して伝送することにより、信号間のクロストークを除去し、画質劣化を防止しようとする技術が開示されている。

## 【0003】

【発明が解決しようとする課題】しかしながら、従来の画像読取装置では、イメージセンサのCCDを駆動するためにクロック信号が何本も必要であるため、電磁波ノイズが生じるという不具合が合った。

【0004】この発明の目的は、イメージセンサの駆動信号による電磁波ノイズを低減することにある。

【0005】この発明の別の目的は、前記の場合に、イメージセンサの駆動信号を発生する回路と、イメージ

センサが出力する画像信号を処理する回路の同期を確実にとることができるようにすることにある。

## 【0006】

【課題を解決するための手段】請求項1に記載の発明は、原稿を読み取るイメージセンサと、このイメージセンサを駆動する駆動信号を生成する駆動信号発生回路と、前記イメージセンサおよび駆動信号発生回路が実装されているセンサー回路基板と、前記イメージセンサが出力する画像信号をサンプリングしてデジタル信号に変換する信号処理回路と、この信号処理回路に制御信号を出力して制御し、かつ、前記駆動信号発生回路との同期をとるためのトリガ信号を生成して前記駆動信号発生回路に出力する制御回路と、前記信号処理回路および制御回路が実装されている信号処理回路基板と、前記両回路基板を電気的に接続する信号ケーブルと、を備えている。

【0007】従って、信号処理回路基板からセンサー回路基板へ出力する信号は、トリガ信号のみとすることができる。

【0008】請求項2に記載の発明は、制御回路は、トリガ信号に加えて、駆動信号発生回路との同期をとるためのクロック信号を1本生成して前記センサー回路基板に出力するものである。

【0009】従って、トリガ信号に加えて、駆動信号発生回路との同期をとるための1本のクロック信号をセンサー回路基板に送ることにより、イメージセンサの1ラインの画素数が多くなったり、周波数が高くなったりしても、センサー回路基板から信号処理回路基板へ送る画像信号と、信号処理回路基板のサンプリング周期とで位相のずれが生じるのを確実に防止することができる。

【0010】請求項3に記載の発明は、センサ回路基板には、制御回路から出力されたクロック信号の位相に追従した駆動信号発生回路と同期をとるための信号を生成して、駆動信号発生回路に出力するPLL回路を備えているとするものである。

【0011】従って、1本のクロック信号の位相に追従した信号を生成して、駆動信号発生回路に出力することにより、イメージセンサの1ラインの画素数が多くなったり、周波数が高くなったりしても、センサー回路基板から信号処理回路基板へ送る画像信号と、信号処理回路基板のサンプリング周期とで位相がずれるのを確実に防止することができる。

【0012】請求項4に記載の発明は、PLL回路は、駆動信号発生回路と同期をとるための信号を制御回路から出力されたクロック信号より高い周波数の信号として生成する通倍回路を備えている。

【0013】従って、信号処理回路基板からセンサー回路基板へは1本のクロック信号を比較的低い周波数で送り、センサー回路基板では、駆動信号発生回路と同期をとるための信号を高い周波数で生成することが可能とな

る。

#### 【0014】

【発明の実施の形態】〔発明の第1の実施の形態〕図1は、この発明の第1の実施の形態にかかるカラー画像読取装置1の全体構造を示す縦断面図である。同図に示すように、このカラー画像読取装置1は、原稿Gを載置するコンタクトガラス2と、原稿Gの露光用のハロゲンランプ3および第1反射ミラー4からなる第1キャリアッジ5と、第2反射ミラー6および第3反射ミラー7からなる第2キャリアッジ8と、3ライン型のカラーCCDイメージセンサ9に原稿Gの画像を結像するためのレンズユニット11と、これら読み取り光学系などによる読み取り画像の各種の歪みを補正するための白基準板12とを備えている。原稿Gの走査の際には、第1、第2キャリアッジ5、8は、図示しないステッピングモータにより副走査方向（矢印16方向）に移動する。センサー回路基板13には、カラーCCDイメージセンサ9のほか、後述する回路が設けられている。また、信号処理回路基板14には、後述する各種の信号処理回路が設けられている。そして、センサー回路基板13と信号処理回路基板14とは信号ケーブル15で接続されている。

【0015】図2は、カラーCCDイメージセンサの平面図である。同図に示すように、この3ライン型カラーCCDイメージセンサは、分解色R（レッド）、G（グリーン）、B（ブルー）の各色のフィルタをコーティングした縮小型のCCDを並べたもので、R対応のリニアイメージセンサ21、G対応のリニアイメージセンサ22、B対応のリニアイメージセンサ23は、主走査方向の画素位置が揃っていて、副走査方向16に一定間隔ずれた配置となっている。そのため、リニアイメージセンサ21、22、23から出力されるR、G、B各色の画像信号間は、副走査方向16にディレイタイムを生じるので、その補正を必要とする（この補正については後述する）。

【0016】図3は、カラーCCDイメージセンサの画像信号を送り出す画像信号送出回路24、25、26の回路図である。この画像信号送出回路24、25、26は、各々、リニアイメージセンサ21、22、23に対応している。画像信号送出回路24、25、26は、各々、偶数番目の画素、奇数番目の画素に分かれて2列のレジスタ31、32を備えている。このレジスタ31、32は後述する駆動パルスに同期して駆動し、出力バッファ33、34を介して、画像信号VRE、VRO、VGE、VGO、VBE、VBOを各々独立に出力する。

【0017】図4は、カラーCCDイメージセンサを駆動するための各種タイミング信号を示すタイミングチャートである。同図に示すように、このタイミング信号は、一般に、リニアイメージセンサ21、22、23から各レジスタ31、32に画像信号を移送するためのシフト信号SHと、レジスタ31、32内を電荷転送する

ための転送クロック信号Φ1、Φ2と、出力バッファ33、34をリセットするためのリセット信号RSと、このリセット直後の電氣的な黒レベルをクランプするためのクランプ信号CLPとから構成されている。リニアイメージセンサ21、22、23は、シフト信号SHから次のシフト信号SHまでの期間受光し続ける（この時間を蓄積時間という）。転送クロック信号Φ1、Φ2は、この蓄積時間内にリニアイメージセンサ21、22、23のそれぞれで全画素を転送できる周波数にしている、シフト信号SHがアクティブにある期間中に信号の変動がないことが必要である。なお、図4中の画像信号Voは、画像信号VRE、VRO、VGE、VGO、VBE、または、VBOを示しており、その空転送、オブティカル・ブラック、ダミー、有効フォトセル、一画素分の信号出力の各期間を図示している。

【0018】図5は、センサー回路基板13、信号処理回路基板14に形成されている回路の回路図である。同図に示すように、センサー回路基板13上には、基本クロック信号を生成する発振器41と、駆動信号発生回路42とが設けられ、発振器41は基本クロック信号を生成して駆動信号発生回路42に出力する。駆動信号発生回路42は、発振器41からの基本クロック信号から図4に示す各種のタイミング信号を生成して、カラーCCDイメージセンサに出力する。原稿Gはハロゲンランプ3により照らされ、その反射光は第1キャリアッジ5、第2キャリアッジ8、レンズユニット11を介して、カラーCCDイメージセンサに縮小結像するが、この結像光は、図4に示す各種のタイミング信号で駆動するカラーCCDイメージセンサにより、1ラインごとに読み取られる。そして、カラーCCDイメージセンサは、この読み取った画像信号を、前記タイミングパルスに同期して、信号ケーブル15を介して信号処理回路基板14に送信する。

【0019】信号処理回路基板14には、アナログ信号処理回路43、A/D変換回路44、シェーディング補正回路45、ライン間補正回路46、制御信号発生回路47および発振器48からなる制御回路49が設けられている。カラーCCDイメージセンサから出力された画像信号はアナログ信号であるため、アナログ信号処理回路43に入力される。ここでは、サンプルアンドホールド回路により、このアナログの画像信号を、サンプルパルスによりサンプリングし、保持することにより、連続したアナログ信号にし、また、黒レベル補正回路によりカラーCCDイメージセンサの暗出力のレベルのバラツキを補正し、黒レベルを基準にした画像信号に変換する。また、画像信号は、カラーCCDイメージセンサの感度と原稿Gの原稿面の照度との関係で決まる実質光量を補正するためのAGC（Auto Gain Control）がなされる。制御信号処理回路47から出力されたアナログの画像信号は、A/D変換回路44によりデジタル信号に

変換される。このアナログ信号処理回路43、A/D変換回路44により、この発明の信号処理回路を実現している。

【0020】A/D変換後の画像信号はシェーディング補正回路45に入力する。このシェーディング補正回路45は、ハロゲンランプ3で照射された白基準板12の反射光をカラーCCDイメージセンサで読み取ることにより、所定の濃度レベルを得て、デジタル画像データにつき、カラーCCDイメージセンサ9の感度のバラツキや照射系の配光ムラを補正して、ライン間補正回路46に出力する。ライン間補正回路46は、入力したデジタル画像信号につき、前記のような副走査方向16のリニアイメージセンサ21、22、23のライン間に生じるディレイタイムを補正し、同一位置で読み取った画像信号として出力する。

【0021】制御信号発生回路47は、各種制御信号、タイミング信号を生成して、アナログ信号処理回路43、A/D変換回路44、シェーディング補正回路45、ライン間補正回路46に出力する。また、駆動信号発生回路42と信号処理回路基板14側との同期をとるためのトリガ信号TRを生成し、信号ケーブル15を介してセンサ回路基板13に出力する。そして、駆動信号発生回路42は、トリガ信号TRにより同期をとって、カラーCCDイメージセンサ9で読み取った画像信号を信号ケーブル15を介して信号処理回路基板14に出力する。

【0022】従って、信号処理回路基板14からセンサ回路基板13へ出力する信号は、トリガ信号TRのみとすることができるので、両回路基板13、14を接続する信号ケーブル15から発生するノイズを軽減し、信号ケーブル15の本数の削減を図り、また、両回路基板13、14のレイアウトや装置構成が容易になる。

【0023】〔発明の第2の実施の形態〕図6は、この発明の第2の実施の形態にかかるカラー画像読取装置1のセンサ回路基板13、信号処理回路基板14の回路図である。この実施の形態のカラー画像読取装置1が前記第1の実施の形態と相違するのは、図6に示すセンサ回路基板13上の回路構成の一部などに限られ、その他の技術内容については共通であるので、同一符号で示し、詳細な説明は省略する。

【0024】図6に示すように、この実施の形態では、信号処理回路基板14に実装されている発振器48が生成する基本クロック信号を分周器56で分周してクロック信号CLKを生成し、このクロック信号CLKをセンサ回路基板13に出力する。

【0025】そして、この実施の形態では、センサ回路基板13には発振器41が実装されていない。その代わりに、位相比較器51、ローパスフィルタ52、電圧制御発振器53、プログラマブル・カウンタ54からなるPLL回路55が実装されている。プログラマブル・

カウンタ54は、入力されたデジタル信号を $1/N$ に分周した信号を出力する。位相比較器51には、信号処理回路基板14から出力されたクロック信号CLKの周波数 $f_r$ と、プログラマブル・カウンタ54から出力された信号の周波数 $f_n$ とを比較する。そして、位相比較器51の直流出力は、ローパスフィルタ52で低周波数成分を除去された後、電圧制御発振器53に入力されて、この入力に応じた発振周波数の信号を駆動信号発生回路42と、プログラマブル・カウンタ54に出力する。この出力信号の周波数を $f_o$ とすると、“ $f_o = f_r \times N$ ”となる。すなわち、クロック信号CLKのN倍の周波数に同期した信号が駆動信号発生回路42に入力され（これにより、この発明の連倍回路を実現している）、この入力信号に基づいて駆動信号発生回路42はカラーCCDイメージセンサ9の各種駆動信号を生成する。

【0026】従って、トリガ信号TRに加えて、駆動信号発生回路42との同期をとるための1本のクロック信号CLKをセンサ回路基板13に送り、このクロック信号CLKの位相に追従した信号をPLL回路55で生成して、駆動信号発生回路42に出力することにより、カラーCCDイメージセンサ9の1ラインの画素数が多くなったり、周波数が高くなったりしても、センサ回路基板13から信号処理回路基板14へ送る画像信号と、信号処理回路基板14のサンプリング周期とで位相がずれることを確実に防止することができる。

【0027】また、信号処理回路基板14からは、分周器56によりクロック信号CLKを比較的低い周波数にしてセンサ回路基板13へ送り、また、電圧制御発振器53からの出力信号は、プログラマブル・カウンタ54で分周してから位相比較器51にフィードバックすることによりPLL回路55内に連倍回路を実現することで、センサ回路基板13では、駆動信号発生回路42と同期をとるための信号を比較的高い周波数 $f_o$ として生成することが可能となるので、信号ケーブル15から発生するノイズをさらに低減することができる。

【0028】なお、いうまでもなく、前記各実施の形態は、この発明を限定するものではない。例えば、前記の例では、カラーイメージセンサ（カラーCCDイメージセンサ9）で原稿Gの読み取りを行なっているが、モノクロの1ラインのイメージセンサを用いた画像読取装置に、この発明を適用してもよい。

【0029】

【発明の効果】請求項1に記載の発明は、信号処理回路基板からセンサ回路基板へ出力する信号は、トリガ信号のみとすることができるので、両回路基板を接続する信号ケーブルから発生するノイズを軽減し、信号ケーブルの本数の削減を図り、また、両回路基板のレイアウトや装置構成が容易になる。

【0030】請求項2に記載の発明は、請求項1に記載の発明について、トリガ信号に加えて、駆動信号発生回



路との同期をとるための1本のクロック信号をセンサー回路基板に送ることにより、イメージセンサの1ラインの画素数が多くなったり、周波数が高くなったりしても、センサー回路基板から信号処理回路基板へ送る画像信号と、信号処理回路基板のサンプリング周期とで位相のずれが生じるのを確実に防止することができる。

【0031】請求項3に記載の発明は、請求項2に記載の発明について、1本のクロック信号の位相に追従した信号を生成して、駆動信号発生回路に出力することにより、イメージセンサの1ラインの画素数が多くなったり、周波数が高くなったりしても、センサー回路基板から信号処理回路基板へ送る画像信号と、信号処理回路基板のサンプリング周期とで位相のずれが生じるのを確実に防止することができる。

【0032】請求項4に記載の発明は、請求項3に記載の発明について、信号処理回路基板からセンサー回路基板へは1本のクロック信号を比較的低い周波数で送り、センサー回路基板では、駆動信号発生回路と同期をとるための信号を高い周波数で生成することが可能となるので、両回路基板を接続する信号ケーブルから発生するノイズをさらに低減することができる。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施の形態にかかるカラー画像読取装置の全体構造を示す縦断面図である。

【図2】前記画像読取装置のカラーCCDイメージセン

サの平面図である。

【図3】前記カラーCCDイメージセンサの画像信号を送り出す画像信号送出回路の回路図である。

【図4】前記カラーCCDイメージセンサを駆動するための各種タイミング信号を示すタイミングチャートである。

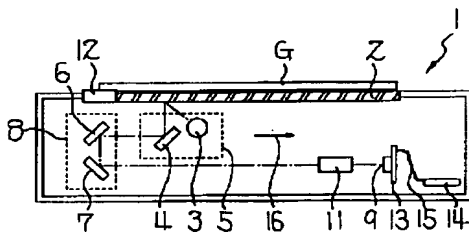
【図5】センサー回路基板、信号処理回路基板に形成されている回路の回路図である。

【図6】この発明の第2の実施の形態にかかるカラー画像読取装置のセンサー回路基板、信号処理回路基板に形成されている回路の回路図である。

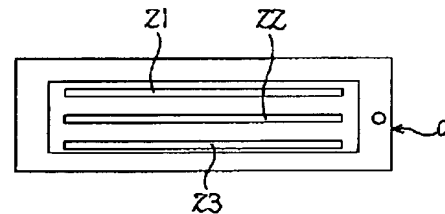
#### 【符号の説明】

1	画像読取装置
9	イメージセンサ
13	センサー回路基板
14	信号処理回路基板
42	駆動信号発生回路
43	信号処理回路
44	信号処理回路
49	制御回路
54	遅倍回路
55	PLL回路
G	原稿
TR	トリガ信号
CLK	クロック信号

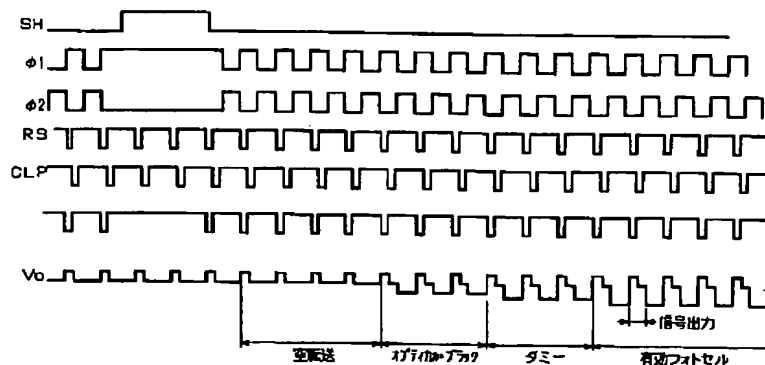
【図1】



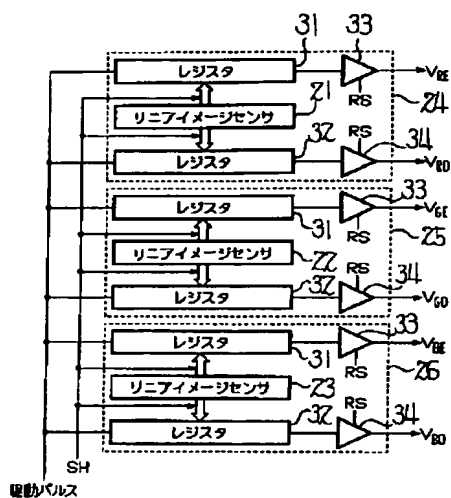
【図2】



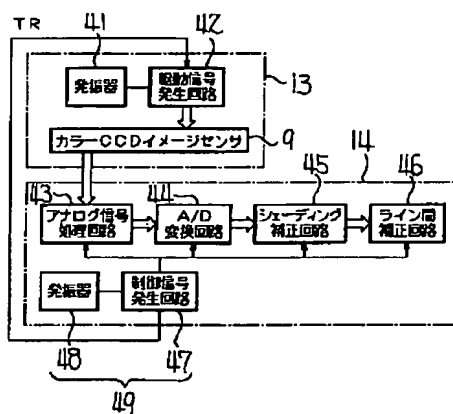
【図4】



【図3】



【図5】



【図6】

